



# Aplicación de las técnicas de hardware reconfigurable en un sistema digital de control dinámico. Aplicación práctica Parte II

Dennis Arce  
Sergio J. Fernández  
Omar Fuentes

Recibido: Enero del 2008  
Aprobado: Marzo del 2008

## Resumen / Abstract

Se presenta la aplicación práctica del diseño electrónico en el desarrollo de un sistema de control dinámico de un servomotor lo cual es una novedad científico-técnica en el campo de la energética y en la defensa nacional. En el trabajo se expone la funcionalidad y estructura del hardware programable, así como los resultados parciales de la simulación.

Palabras clave: FPGA, control, hardware programable, sistema de control dinámico

This paper describes the design of a dynamic control system for servomotor making use of new electronic development techniques, and represents a novelty on energetic field and national defence. Also describes structure and functionality of programmable hardware, and partial results of simulation.

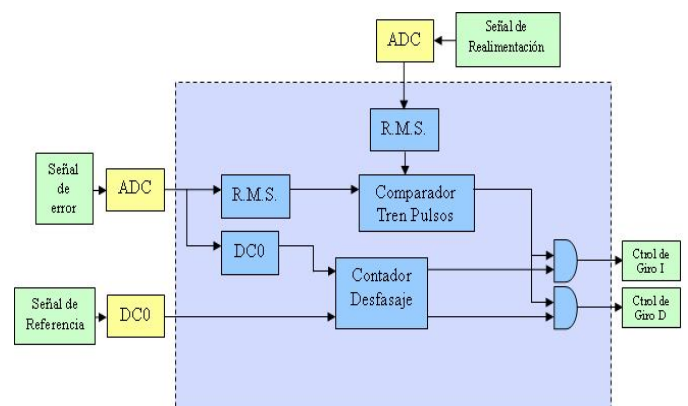
Key words: FPGA, control, programmable hardware, dynamic, control system

## INTRODUCCIÓN

Dada la importancia de introducir técnicas modernas utilizando hardwares programables en los diferentes campos de la técnica y en la energética en particular, en esta parte del trabajo se presenta el diseño de un circuito de control dinámico de un servomotor utilizando FPGAs (Field Programmable Gate Array).

## REPRESENTACIÓN DEL CIRCUITO DIGITAL DE CONTROL PARA EL SERVOMOTOR UTILIZANDO UNA FPGA

Del estudio del sistema analógico descrito en la primera parte resultó el sistema de control digital, mostrado en una estructura en bloques (figura 1).



Estructura en bloques del sistema digital de control.

Este circuito funcionalmente es similar al circuito analógico descrito, adicionándole un último bloque para el procesamiento de la señal de realimentación.

Para la detección de fase se involucran los bloques DC0 y Contador-Desfasaje, calculando entre los dos el desfase que trae la señal de error respecto a la señal de referencia. El DC0 que está implementado dentro de la FPGA da la señal de inicio de conteo y la señal que entra a la FPGA proveniente del detector de cruce externo detiene el conteo, de esta forma se calcula la fase. Luego el dato que se obtiene de estos cálculos se utiliza el bloque de salida que, junto con los datos que se obtienen del bloque de comparación, controla con sus variables de salida el estado de movimiento y el sentido de giro que debe tomar el servomotor.

La comparación que ocurre en el bloque comparador-tren de pulsos se realiza entre la señal de error y la señal de realimentación con el fin de calcular la relación entre la velocidad real del motor con la necesaria para lograr la estabilidad. Al realizar el cálculo comparativo se auxilia de los bloques RMS para trabajar con los valores efectivos de ambas señales. Mientras la primera sea menor, el comparador debe dar en su salida una señal de 1 lógico, indicando que el motor debe estar alimentado y aumentando su velocidad. En el momento en que se igualen las dos señales indica que debe desconectarse el motor para que no sobrepase la velocidad requerida, dando un 0 lógico como salida.

Estas son las principales funciones del controlador, el control de velocidad y el control del sentido de giro. Para el desarrollo de este circuito es ideal la FPGA por sus características ya descritas. Cada bloque trabaja por su cuenta a la misma vez que los demás, solo que aquí intercambian información entre todos para lograr el funcionamiento que se persigue en el diseño del control dinámico.<sup>1</sup>

En la tabla 1 se presenta la cantidad y el porcentaje de los elementos internos que se utilizaron en cada caso.

## RESULTADOS PARCIALES DE LA SIMULACIÓN

La simulación de un sistema es el primer paso de verificación del correcto funcionamiento del diseño.

El siguiente paso consiste en poner en funcionamiento el prototipo en una placa real para realizar las pruebas físicas de medición y funcionalidad, solo que para poder llegar a esta etapa es necesario un equipamiento especializado, que para el caso de esta investigación debería estar formado como mínimo por tres generadores de onda sinusoidales y dos osciloscopios.

Por último, se realiza el montaje del prototipo en el área de trabajo concreto para la última verificación de funcionalidad.<sup>2</sup>

### Simulación del bloque RMS

En la figura 2 se muestran los datos de entrada y los de salida del bloque que calcula el valor efectivo de la señal que se encuentra en bus de entrada entd(13:0), dando el resultado en el bus de salida salrms(16:0) con un retraso de 2,5 m, correspondientes a la toma de 64 muestras de la señal que se analiza. Este atraso no es significativo pues corresponde a un ciclo de la señal.

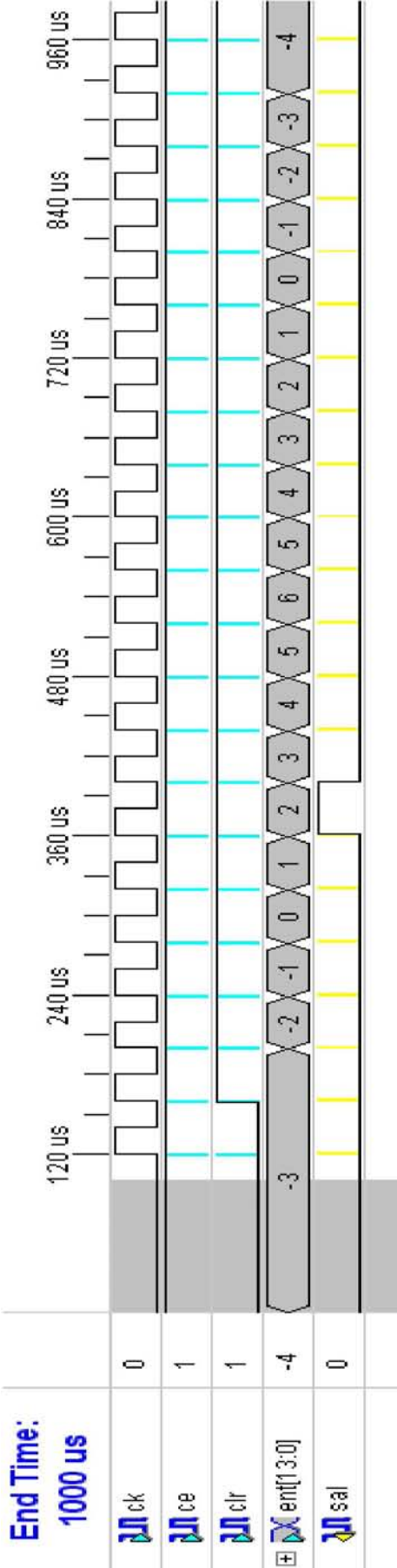
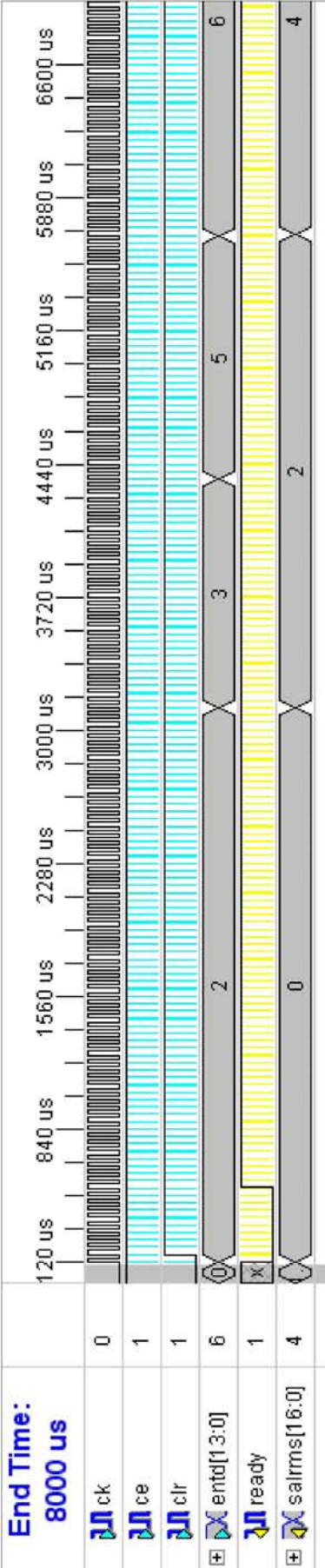
Tabla 1 Resultados del mapeo del circuito diseñado en la FPGA XC3S500E-4FG320C			
Tipo de elemento	Cantidad utilizada	Total disponible	Porcentaje del total
Slices	129	4 656	2
Slices Flip-Flops	109	9 312	1
4 input LUTs	194	9 312	2
Bonded IOBs	17	232	7
IOB Flip-Flops	3	-	-
GCLKs	2	24	8

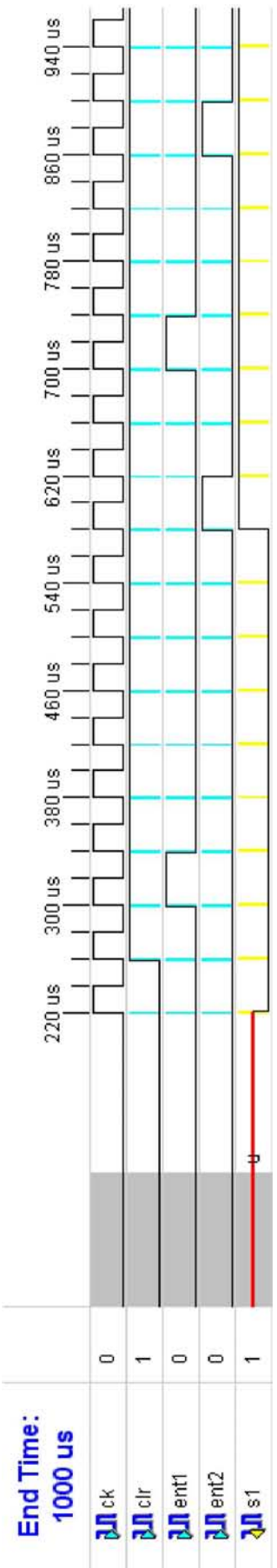
### Simulación del bloque DC0

En la figura 3 se muestra la simulación del bloque que detecta el cruce por cero de la señal que se muestrea. El pulso de salida que indica el cruce demora dos pulsos de reloj por los requerimientos del cálculo que se realiza en el bloque, pero es insignificante pues cada ciclo de la señal se muestrea 64 veces, es decir, con 64 pulsos de reloj, por lo que 2 pulsos equivalen al 3,1 % de un ciclo. Además, no es representativo pues este dato se utiliza en el cálculo de desfase de dos señales que en todo momento estarán en dos estados posibles: en fase o desfasadas 180°, no es preciso saber la fase con exactitud.

### Simulación del bloque contador-desfasaje

En la figura 4 se muestran los datos de entrada y salida del bloque que tiene la función de calcular desfase entre dos señales. El conteo se inicia con el pulso de ent1 y termina con el de ent2, que inmediatamente que llega se genera la salida por s1 indicando el estado de fase. Para la simulación se pone el ejemplo de cuando las señales están aproximadamente en fase, teniendo en cuenta posibles corrimientos de las señales de cruce por cero positivo, y se aprecia como el bloque identifica un ángulo próximo a cero como cero despreciando esto.





Datos de entrada y salida del bloque contador-desfasaje.

**Simulación del bloque comparador**

En la figura 5 se muestran las variables de entrada y salida del bloque encargado de comparar las señales de error y referencia para indicar el estado de conexión del motor, para regular su velocidad. Se aprecia como mientras la ent2 es menor que ent1, el bloque tiene un 1 lógico en sal indicando que debe estar conectado, pero cuando se igualan ambas señales y/o sobrepasa la ent2 a ent1, el bloque genera un 0 lógico indicando que se debe desconectar.

**Simulación del bloque de salida**

En la figura 6 se muestra la respuesta del bloque PSGIRO a las señales de entrada sen y tp. Cuando sen vale 0, los pulsos de tp indicando conexión salen por el pin gd (giro derecho) y cuando sen vale 1 los pulsos salen por gi (giro izquierdo).

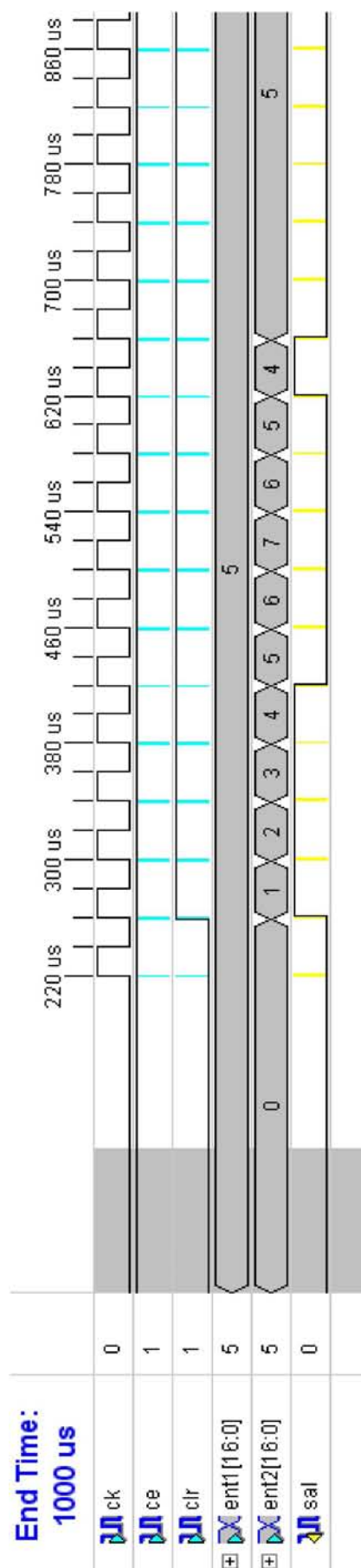
**VENTAJAS Y DESVENTAJAS**

En cuanto a las características de hardware, la tecnología propuesta lleva la delantera por sus características de facilidad de reposición, compactibilidad y una muy importante, la posibilidad de reconfiguración del hardware sin extracción de elementos, ni tener que quitar siquiera el circuito de la zona de trabajo.<sup>2</sup>

En cambio, la tecnología analógica y digital convencional, una vez hecho el diseño, si se quiere hacer el más mínimo cambio es necesario desechar la placa confeccionada y construir una nueva, aumentando de esta forma el costo de producción. Para la tecnología propuesta, el costo de modernización sería nulo en cuanto a hardware, quedando para el costo únicamente la producción del bitstream necesario en la reconfiguración.

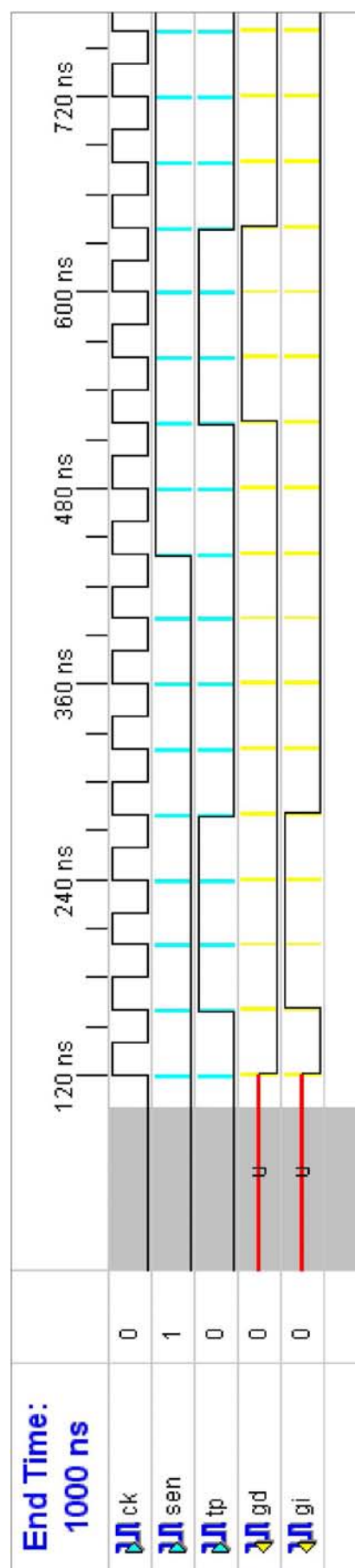
Con respecto a la tecnología analógica y digital convencional, el tiempo y costo de diseño y desarrollo de dispositivos y equipos, en la etapa de creación de la serie 0 y la de introducción es mucho mayor que la propuesta, ya que la misma conlleva la restricción del uso de los componentes finales, lo cual se ve disminuido con el uso de las técnicas de hardware programable pues el diseño se realiza mediante la programación directamente sobre el hardware que ya se encuentra en la placa consiguiendo obtener el prototipo una vez terminada la entrada de código.

La desventaja fundamental del hardware programable radica en la actualización del equipamiento de medición y de programación que debe contar cualquiera empresa o centro de estudio que la quiera introducir.



Datos de entrada y salida del bloque comparador.

5



### Datos de entrada y salida del bloque de salida (PSGIRO).

6

## CONCLUSIONES

En este trabajo se presentó la estructura y funcionalidad de las FPGAs, al igual que el diseño del sistema de control digital específico para servomotores de corriente directa, así como se demostró que se puede diseñar, desarrollar e implementar un sistema digital de control que cumpla con los mismos requerimientos funcionales de un sistema analógico utilizando las técnicas de hardware programable.

## REFERENCIAS

1. González, Juan: Convirtiendo el hardware en software: FPGA's, 2006. <http://x-ezine.todo-linux.com/x2/2x011-fpga.html>.
2. Parnell, Karen y Nick Metha: Programmable Logic Design Quick Start Handbook, ed. PN0402230 Rev.4, 2004.

## AUTORES

Dennis Arce López

Ingeniero Electricista, Instructor, Centro de Investigaciones y Pruebas Electroenergéticas (CIPEL), Instituto Superior Politécnico José Antonio Echeverría, Cujae, Ciudad de La Habana, Cuba

e-mail:dennis.jae.edu.cual@electronica.cu

dennisa2004@yahoo.es

Sergio J. Fernández García

Ingeniero Electricista, Doctor en Ciencias Técnicas, Asistente, CIPEL, Instituto Superior Politécnico José Antonio Echeverría, Cujae, Ciudad de La Habana, Cuba

e-mail:sfg@electronica.cujae.edu.cu

sergiojfernandez@yahoo.com

Omar Fuentes Lorenzo

Ingeniero en Automática, Asistente, Universidad de Pinar del Río, Hermanos Saíz Montes de Oca, Pinar del Río, Cuba

e-mail:omarf@tele.upr.edu.cu

## REVISTAS CIENTÍFICAS DE LA CUJAE EN FORMATO ELECTRÓNICO ¡VISÍTENOS!



• <http://revistascientificas.cujae.edu.cu>